

# PERANCANGAN MODUL MATAKULIAH PERANCANGAN SISTEM DIGITAL BERBASIS VERILOG HDL

**Reski Praminasari**

Program Studi : Teknik Komputer  
Sekolah Tinggi Manajemen Informatika dan Komputer AKBA  
e-mail : [eq.reski@yahoo.com](mailto:eq.reski@yahoo.com)

## Abstrak

*Field Programmable Gate Array (FPGA) adalah integrated circuit (IC) digital yang berisi sekumpulan blok-blok logika yang dapat dikonfigurasi. FPGA memiliki tiga sumber daya yaitu blok logika, blok I/O, dan blok interkoneksi. Untuk menunjang ilmu pengetahuan tentang FPGA ini maka pada kurikulum pembelajaran baik untuk tingkat strata satu maupun strata dua yang terdapat pada jurusan Teknik Elektro Fakultas Teknik Universitas Hasanuddin disajikanlah matakuliah yang mempelajari tentang FPGA. Modul pembelajaran ini dapat membantu dosen maupun mahasiswa untuk memanfaatkan UP2 Board dari Altera sebagai teaching aid dan program Aplikasi Quartus II sebagai Simulator.*

**Kata kunci:** Verilog, FPGA, HDL, Modul pembelajaran

## 1. Pendahuluan

Seiring dengan perkembangan bidang elektronika, yakni dengan ditemukannya prosesor digital *Field Programmable Gate Array (FPGA)* yaitu sebuah *Application Specific Integrated Circuit (ASIC)*[4] yang dapat diprogram sesuai kehendak pengguna. Implementasi operasi-operasi digital dalam bentuk perangkat keras dapat dilakukan dengan FPGA. FPGA memuat ribuan gerbang logika yang dapat di program membentuk suatu logika. FPGA dapat digunakan untuk mengimplementasikan sistem kombinasional dan sekuensial berkecepatan tinggi dengan lebar bit tak terbatas. FPGA adalah *integrated circuit (IC)* digital yang berisi sekumpulan blok-blok logika yang dapat dikonfigurasi. FPGA memiliki tiga sumber daya yaitu blok logika, blok I/O, dan blok interkoneksi,[1]

Untuk menunjang ilmu pengetahuan tentang FPGA ini maka pada kurikulum pembelajaran baik untuk tingkat strata satu

maupun strata dua yang terdapat pada jurusan Teknik Elektro Fakultas Teknik Universitas Hasanuddin disajikanlah matakuliah yang mempelajari tentang FPGA. Pada tingkat strata satu disajikan matakuliah pilihan perancangan sistem VLSI dan pada tingkat strata dua disajikan matakuliah perancangan sistem digital berbasis *Hardware Definition Language (HDL)*.

Sebuah HDL adalah bahasa yang digunakan untuk mengazgambarkan sistem digital, sebagai contoh, sebuah mikroprosesor atau memori atau flip-flop sederhana. Ini berarti bahwa, dengan menggunakan HDL setiap orang dapat menggambarkan perangkat keras (digital) dalam berbagai level.[2] *HDL* terdiri dari beberapa jenis. Yang akan digunakan pada penelitian ini adalah bahasa Verilog HDL[5].

Dalam penelitian ini akan dirancang suatu mata kuliah berbasis FPGA, yang rancangannya dibuat dengan deskripsi HDL dan diimplementasikan pada FPGA Altera

yang terdapat pada modul UP2 Board. *The University Program (UP) Design Laboratory Package* ini dirancang untuk memenuhi kebutuhan universitas dalam proses pembelajaran desain logika digital dengan *state of-the-art development tools* dan *programmable logic devices (PLDs)*. Paket ini menyediakan semua alat yang diperlukan untuk membuat dan mengimplementasikan desain logika digital. [3] Perangkat lunak yang digunakan adalah Quartus II.

Tujuan dari penelitian ini adalah untuk mengembangkan modul pembelajaran untuk suatu matakuliah perancangan sistem digital berbasis HDL dan memanfaatkan sistem UP2 board Altera sebagai alat bantu (teaching aid) dari modul pembelajaran perancangan sistem digital berbasis HDL.

Penelitian ini diharapkan dapat memberikan manfaat untuk membantu setiap dosen yang akan mengajarkan matakuliah perancangan sistem digital berbasis HDL dan menjadi penuntun bagi mahasiswa untuk mempelajari tentang FPGA menggunakan modul UP2 Board dari Altera.

## 2. Rancangan Penelitian

Dalam penelitian ini akan dibuat suatu modul pembelajaran dimana akan digunakan dalam matakuliah perancangan sistem digital berbasis HDL. Modul ini akan digunakan dalam matakuliah dengan sistem perkuliahan tatap muka dan *project assignment*. Tatap muka dilakukan pada minggu pertama hingga minggu keempat perkuliahan untuk menjelaskan tentang dasar-dasar pemrograman menggunakan HDL dan penjelasan tentang penggunaan perangkat lunak untuk mendesain suatu sistem digital berbasis HDL kemudian pada pertemuan selanjutnya akan diberikan tugas-tugas proyek secara bertahap dengan tingkat kesulitan berbeda. Dalam setiap proyek mahasiswa diwajibkan merancang suatu sistem digital menggunakan bahasa HDL kemudian mengimplementasikannya sistem digital tersebut menggunakan chip

FPGA Altera yang terdapat pada board UP2.

Secara umum pengembangan meliputi dua kelompok besar yaitu proses penyajian materi tatap muka dikelas dan pengembangan isi materi.

Penyajian materi tatap muka dikelas termasuk bagaimana penyajian dosen (menyusun materi perkuliahan dan presentasi dosen yang menarik dan sistematis) kemudian kesempatan tanya jawab dan diskusi mengenai materi yang telah disampaikan, dimana ditengah-tengah perkuliahan mahasiswa dipicu untuk dapat mengutarakan hasil analisa terhadap perancangan dan simulasi rangkaian yang telah dilakukan. Setelah itu bagaimana memberikan proyek mata kuliah mengenai perancangan *hardware* (rangkaian/*circuit*) dengan mensimulasikan hasil rancangan dan dapat di implementasikan pada modul UP2 board

Pengembangan isi materi dengan melakukan beberapa penyempurnaan terhadap Garis Besar Rencana Pembelajaran (GBRP). Modul yang disusun berisi materi yang akan menunjang teori di kelas dan juga proyek mahasiswa menggunakan simulator untuk mempermudah mahasiswa memahami rangkaian digital berbasis HDL, dan disini juga akan diberikan dasar-dasar mengenai simulator pada Quartus II yang mempunyai kelebihan dalam perancangan suatu rangkaian digital dimana akan mengefisiensikan waktu dan harga (*cost*) dari suatu rangkaian, dan dari simulator kemudian di implementasikan menggunakan UP2 Board.

Proses pertama dari penelitian pengembangan modul pembelajaran sistem digital adalah penelusuran literatur dengan mencari bahan-bahan yang berkaitan dengan materi dan pengajaran sistem digital baik dari buku-buku, jurnal, internet (khususnya situs-situs Sistem digital dan dan beberapa mailing list). Dari hasil penelusuran literatur dilakukan pembuatan

Satuan Acara perkuliahan (SAP), dengan melakukan penerapan konsep-konsep baru pengembangan materi dan metode pengajaran mata kuliah Sistem Digital berbasis HDL. Pembuatan materi perkuliahan ini dilakukan dengan menambahkan materi mengenai *Software Quartus II* dan implementasi menggunakan *board UP2*. Untuk bahasa yang digunakan adalah bahasa Verilog HDL, maka untuk modul pembelajaran ini akan disajikan penjelasan mengenai bahasa pemrograman Verilog HDL kemudian mahasiswa diberikan tugas untuk mengerjakan proyek berbasis FPGA.

Perancangan hand-out untuk dosen dan mahasiswa bertujuan agar perkuliahan yang diberikan dosen ke mahasiswa lebih terarah/sistematis dan sederhana mungkin dengan perancangan layout dan tata letak yang memudahkan pembacanya sehingga mahasiswa akan lebih memahami tujuan mata kuliah sistem digital berbasis HDL.

Pengembangan modul pembelajaran dilakukan dengan melakukan penyesuaian materi tatap muka dan materi untuk *project assignment*. Pengembangan yang dilakukan dengan menambahkan fungsi simulator pada Quartus II dan implementasi pada *board UP2*. Simulasi sangat diperlukan sekali dalam perancangan suatu rangkaian terutama sangat berguna untuk merancang dan menganalisa rangkaian digital yang sangat kompleks. Dari simulasi dapat diketahui kebenaran rangkaian dari hasil simulasi, dan juga bisa melakukan penyederhanaan terhadap rangkaian dan menghitung biaya(*cost*) yang diperlukan untuk membuat alat tersebut.

Selanjutnya implementasi pada *board UP2*. Implementasi tahap awal dengan mengimplementasikan dan mengembangkan beberapa soal-soal yang akan diberikan oleh dosen untuk mahasiswa. Pengembangan lebih lanjut juga dilakukan pada proyek akhir mahasiswa, dimana pada tahap ini diberikan beberapa contoh perancangan

suatu proyek yang lebih kompleks dari proyek yang telah dibuat oleh mahasiswa sebelumnya dengan langkah-langkah yang lebih mudah dan alat bantu simulator Quartus II seperti perancangan *vending machine*.

Tahap akhir dengan memberikan satu proyek yang tentunya lebih kompleks dari beberapa rangkaian yang telah dibuat mahasiswa. Pada tahap ini, awalnya mahasiswa dijelaskan langkah-langkah yang sistematis untuk melakukan perancangan. Tahap selanjutnya mahasiswa melakukan simulasi dan menganalisa apakah output rangkaian yang dibuat benar dan efektif. Pada tahap perancangan ini, meskipun proyek yang dibuat oleh mahasiswa sama, akan tetapi hasil rancangan rangkaian yang dibuat akan berbeda-beda dengan hasil output rangkaian yang sama, sehingga analisa terhadap rangkaian yang berbeda-beda tersebut akan berbeda pula meskipun output dari rangkaian tersebut semuanya benar dan sama. Tahap selanjutnya mahasiswa mengimplementasikan rangkaian tersebut pada *board UP2*.

### **3. Hasil dan Pembahasan**

Hasil yang diperoleh selama melakukan penelitian tentang pengembangan modul pembelajaran mata kuliah perancangan system digital berbasis HDL adalah :

#### **3.1. Garis Besar Rencana Pembelajaran (GBRP)**

Pada minggu pertama perkuliahan diberikan teori dasar mengenai FPGA kemudian diberikan pengenalan tentang bahasa verilog HDL. Pada minggu selanjutnya mahasiswa diberikan contoh persamaan digital sederhana untuk kemudian diterjemahkan kedalam bahasa verilog HDL kemudian disimulasikan menggunakan program Quartus II. Pembahasan dan perancangan rangkaian digital untuk minggu-minggu selanjutnya akan lebih meningkatkan kreatifitas

mahasiswa dan mempermudah proses perancangan dengan menggunakan simulator dan implementasi pada board UP2. Tujuan instruksional umum (TIU) pada GBRP benar-benar ditekankan pada pemahaman mahasiswa terhadap suatu rangkaian serta perancangan rangkaian tersebut dan mensimulasikan hasil perancangan yang telah dilakukan dengan alat bantu simulator kemudian diimplementasikan pada board UP2.

### 3.2. Hand-Out

Tujuan utama penyusunan *hand-out* adalah untuk mempertegas kejelasan materi kemudian untuk meringkas materi yang akan diberikan dan agar materi yang diberikan dapat tersusun secara sistematis dan teratur

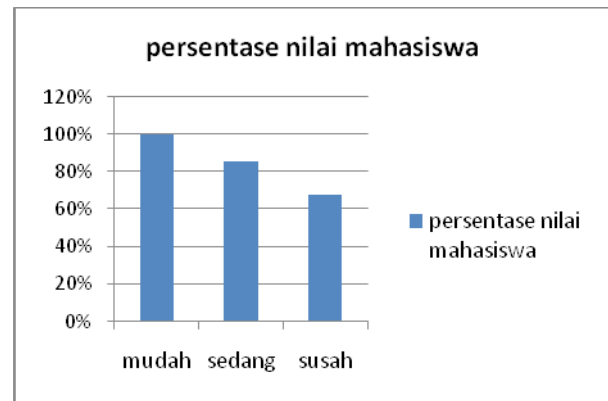
### 3.3. Penerapan Modul Pembelajaran

Penerapan modul pembelajaran yang dilakukan dalam penelitian ini adalah dengan mencoba menerapkan metode pengajaran pada 35 mahasiswa jurusan Elektro Fakultas Teknik UNHAS yang terdiri dari 3 konsentrasi yaitu teknik energi, teknik telekomunikasi dan teknik kendali komputer dan elektronika.

Soal yang diberikan kepada mahasiswa tersebut adalah sebagai berikut :

1. Soal dengan tingkat kesulitan mudah  
Buatlah rangkaian kombinatorial untuk menampilkan 3 bit ke seven segmen
2. Soal dengan tingkat kesulitan sedang  
Buatlah rangkaian sequensial *Up-Down Counter* menggunakan JK flip-flop
3. Soal dengan tingkat kesulitan sulit  
Proyek akhir membuat suatu *vending machine* sederhana

Hasil dari penilaian dari ketiga soal di atas dapat dilihat pada grafik 1.



Gambar 1. Grafik nilai mahasiswa

### 3.4. Cara Penilaian Dosen Terhadap Mahasiswa (Assesment)

Pada GBRP telah ditampilkan bobot penilaian terhadap mahasiswa berdasarkan kemampuan mereka dalam mengerjakan tugas-tugas proyek yang diberikan oleh dosen. Pada minggu pertama hingga minggu ke empat tidak ada bobot penilaian yang diberikan karena metode pembelajaran masih berupa kuliah tatap muka. Minggu ke 5 hingga minggu ke 14 sudah ada bobot penilaian yang diberikan karena metode pembelajaran berupa kuliah dan *project course*.

Penilaian dilakukan berdasarkan tingkat kesulitan tugas yang diberikan. Semakin susah tingkat kesulitan soal maka semakin tinggi bobot yang diberikan.

Penilaian tiap tugas berdasarkan beberapa kriteria yaitu antara lain :

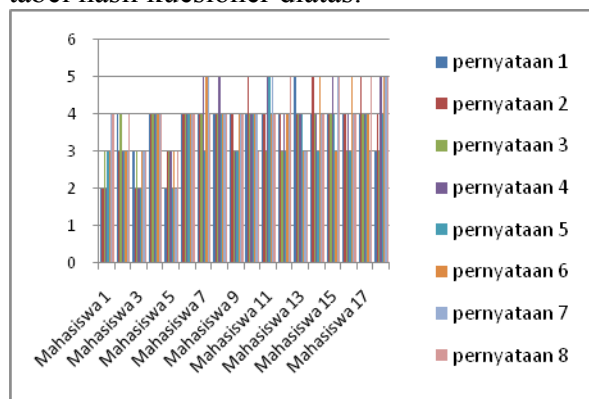
1. Kecepatan mahasiswa mengerjakan tugas.
2. Ketepatan waktu pengumpulan tugas.
3. Kemampuan mengerjakan tugas sesuai dengan algoritma perancangan sistem digital.

4. Kemampuan mahasiswa menganalisa hasil simulasi dari perancangan system digital.
5. Kemampuan mahasiswa membandingkan hasil antara hasil simulasi dan hasil tampilan yang terlihat pada board UP2.

### 3.5. Penilaian Tingkat Kepuasan Pengguna Terhadap Modul Pembelajaran

Kelompok mahasiswa yang menggunakan modul pembelajaran juga diberikan angket (kuesioner) untuk mengetahui apakah modul pembelajaran telah memenuhi kebutuhan dari pengguna. Setelah modul pembelajaran diimplementasikan dan digunakan oleh mahasiswa, selanjutnya kuesioner berisi pertanyaan seputar modul pembelajaran disebar untuk diisi oleh para mahasiswa.

Berikut ini adalah tampilan grafik dari tabel hasil kuesioner diatas:



Gambar 2. Grafik hasil kuesioner

Setelah me-review seluruh hasil kuesioner, bisa ditarik kesimpulan bahwa mayoritas mahasiswa menganggap bahwa modul pembelajaran ini sudah sesuai dengan yang diharapkan serta mampu memudahkan mahasiswa dalam memahami matakuliah perancangan sistem digital berbasis HDL. Namun, sebagian mahasiswa juga masih menganggap perlunya penambahan dalam modul pembelajaran ini.

Hal ini tentunya menjadi celah untuk pengembangan modul pembelajaran ini

kedepannya. Hasil kuesioner ini bahkan bisa dijadikan acuan dalam melakukan pengembangan modul pembelajaran yang lebih baik.

### 4. Kesimpulan

Berdasarkan hasil dan pembahasan di atas maka dapat ditarik beberapa kesimpulan. Satuan Acara Pengajaran dari Modul pembelajaran ini dapat membantu dosen menjalankan proses belajar mengajar mata kuliah perancangan sistem digital berbasis HDL secara sistematis dan efisien. Modul pembelajaran ini terstruktur dengan baik sehingga dapat membantu mahasiswa dalam mengikuti dan memahami mata kuliah perancangan sistem digital berbasis HDL dengan baik. Sekitar 80% mahasiswa yang menggunakan modul pembelajaran ini dapat mengerjakan tugas-tugas proyek yang diberikan dengan baik. Penggunaan simulator akan mendapatkan rangkaian dengan penggunaan komponen seminimal mungkin dan akan sangat lebih berguna untuk perancangan rangkaian digital dengan tingkat kesulitan yang lebih kompleks. Penerapan simulator juga akan dapat melihat pemahaman dan kemampuan mahasiswa dalam merancang suatu rangkaian digital dengan melihat hasil rancangan dari tugas akhir mahasiswa.

Sebaiknya mahasiswa yang memprogramkan matakuliah perancangan sistem digital berbasis HDL dan akan menggunakan modul pembelajaran ini telah memiliki dasar-dasar tentang rangkaian logika dan perancangan sistem digital. Untuk menunjang modul pembelajaran ini lebih lanjut sebaiknya digunakan program aplikasi yang telah berlisensi penuh sehingga penggunaan board UP2 bisa dimaksimalkan pada saat praktikum. Untuk pengembangan lebih lanjut dari modul pembelajaran ini disarankan menggunakan versi lain dari simulator yang tersedia

## DAFTAR PUSTAKA

- [1] Brown, Stephen., Vranesic, Zvonko., (2003), *Fundamentals Of Digital Logic with Verilog Design*, Mc Graw Hill, New York.
- [2] Mano, M. Morris., (2002), *Digital Design Third Edition*, Prentice Hall, New Jersey,.
- [3] Zeidman, B., (2004), *Introduction to CPLD and FPGA Design*, Embedded System Conference, San Fransisco,
- [4] Padmanabhan, T.R., Sundari, Tripura, Bala, B., (2003), *Design Trough Verilog HDL*, United State of America.
- [5] Ashenden, J., Peter., (2008), *Digital Design: An Embedded Systems Approach Using Verilog/VHDL*, Morgan Kaufmann.
- [6] Grout Ian, (2008), *Digital Systems Design with FPGAs and CPLDs*, Newness.
- [7] Maxfield, C. (2004), *The Design Warrior's Guide to FPGAs*. Mentor Graphics Corporation and Xilinx, Inc, USA.
- [8] Siswono, Hartono., Syahrul, Elfitrin., Yulisdin., (2004), *Peningkatan Proses Belajar Mengajar Sistem Digital Menggunakan Simulator Xilinx*.
- [9] Abdillah, Fahmi, Wijayanto, Ardik. Tjatur, Wahjoe S, Susetyoko, Ronny, *Pengembangan modul pembelajaran de lorenzo process control dengan metode jaringan syaraf tiruan (jst) yang berbasis open source*. Jurusan Teknik Elektronika, Politeknik Elektronika Negeri Surabaya Kampus PENS-ITS. Sukolilo, Surabaya
- [10] Altera, (1997), *MAXplus+II Getting Started*, Altera Corp., U.S.,
- [11] [www.asic-world.com/verilog/veritut.html](http://www.asic-world.com/verilog/veritut.html)
- [11] [www.altera.com](http://www.altera.com)